

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **03101188 A**(43) Date of publication of application: **25.04.91**

(51) Int. Cl.

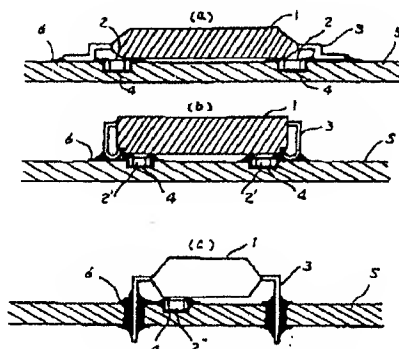
H05K 3/34
H05K 1/18
(21) Application number: **01235659**(71) Applicant: **HITACHI LTD**(22) Date of filing: **13.09.89**(72) Inventor: **KAMIMURA OSAMU**(54) **METHOD OF MOUNTING ELECTRONIC CIRCUIT COMPONENT**

COPYRIGHT: (C)1991,JPO&Japio

(57) Abstract:

PURPOSE: To facilitate high density mounting and reduction of circuit lengths without increasing the component mounting height by a method wherein recessed parts are provided on a printed wiring board and chip components are mounted in the recessed parts and a semiconductor IC is mounted above the chip components.

CONSTITUTION: Printed wiring board recessed parts 4 are provided on a printed wiring board 5, chip components 2 are mounted in the recessed parts 4 and a semiconductor IC 1 is mounted above the chip components 2. With this constitution, the IC 1 and the chip components 2 can be mounted with the same mounting height and area as those when only the IC 1 is mounted, so that high density mounting can be realized and, further, circuit lengths between the IC and the chip components 2 can be reduced and characteristics such as the reflection of a signal and a decoupling effect can be improved, so that malfunctioning can be avoided.



7

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

平3-101188

⑬ Int.Cl.⁹

識別記号

庁内整理番号

⑭ 公開 平成3年(1991)4月25日

H 05 K 3/34
1/18

S

6736-5E

審査請求 未請求 請求項の数 1 (全3頁)

⑮ 発明の名称 電子回路部品の実装方法

⑯ 特 願 平1-235659

⑰ 出 願 平1(1989)9月13日

⑱ 発 明 者 上 村 修 神奈川県横浜市戸塚区戸塚町216番地 株式会社日立製作所戸塚工場内

⑲ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

⑳ 代 理 人 弁理士 小川 勝男 外1名

明 細 書

1. 発明の名称

電子回路部品の実装方法

2. 特許請求の範囲

1. プリント配線板上に、半導体集積回路を搭載する構成において、プリント配線板の半導体集積回路実装領域の下部に凹部を設け、その凹部にチップ部品を実装し、その上面に半導体集積回路を実装する事を特徴とする電子回路部品の実装方法。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は電子回路部品の実装方法に関するものである。

〔従来の技術〕

従来の技術は、特開昭62-32693号公報、発明協会公開技報Vol. 12-26の公技番号第87-7617号記載のように、プリント配線板表面にチップ部品を実装し、その上側に半導体集積回路を実装する構成(第2図、第3図)となっていた。

〔発明が解決しようとする課題〕

上記従来技術は、実装後の部品高が高くなる点についての配慮がされておらず、プリント配線板を並列に多数実装するような装置においては、隣接するプリント配線板に接触する恐れがあった。又、半導体集積回路のリードが見かけ上長くなり、チップ部品を終端素子として使用した場合、半導体集積回路と終端素子間の回路長が長くなり、高速の素子においては信号が反射して回路が誤動作する恐れがあった。

本発明の目的は、電子回路部品実装後の部品高を高くせずに高密度化を達成し、且つ半導体集積回路とチップ部品間の回路長を最短とする事である。

〔課題を解決するための手段〕

上記目的を達成する為に、プリント配線板の半導体集積回路を実装する実装場所の一部に凹部を設け、その凹部にチップ部品を実装し、その上面に半導体集積回路を実装する構成とした。

〔作用〕

本発明による電子回路部品の実装方法においては、プリント配線板に凹部を設け、その凹部にチップ部品を実装し、その上面に半導体集積回路を実装することにより、チップ部品、半導体集積回路実装後の部品高を、半導体集積回路のみを実装した場合と同一の高さに実装でき、且つ、半導体集積回路とチップ部品間の回路長を最短にすることが出来る。

〔実施例〕

以下、本発明の実施例を第1図により説明する。第1図(a)は、プリント配線板凹部4に終端抵抗としてチップ抵抗2を実装し、その上面にフラットパッケージIC1(QFP(Quad Flat Package), SOP(Small Outline Package)等)を実装した例である。本実施例によれば部品高をフラットパッケージICのみを実装した場合と同一の高さで、チップ部品、フラットパッケージICを実装でき、終端抵抗とフラットパッケージIC間の回路長を最短にすることが出来るので信号の反射を最小限に押さえ回路の誤動作を防ぐ

効果がある。

第1図(b)は、プリント配線板凹部4'にデカップリングコンデンサとしてチップコンデンサ2'を実装し、その上面にJベンドリードタイプの素子1'(PLCC(Plastic Leaded Chip Carrier), SOJ(Small outline J-bend Package)等)を実装した例である。本実施例によれば部品高を高くせずに、チップ部品とJベンドリードタイプの素子を実装でき、半導体集積回路1の最近傍にデカップリングコンデンサを実装できるので、最大のデカップリング効果を得ることが出来る。

第1図(c)は、プリント配線板凹部4にチップ型ダイオード2''を終端素子として実装し、その上面にDIP型の半導体集積回路1を実装した例である。本実施例によれば、部品高を高くせずにチップ部品とDIP(Dual Inline Package)型半導体集積回路1を実装でき、終端素子と半導体集積回路間の回路長を最短に出来るので、信号の反射を最小限に押さえ回路の誤動作を防ぐ効果が

3.

ある。

〔発明の効果〕

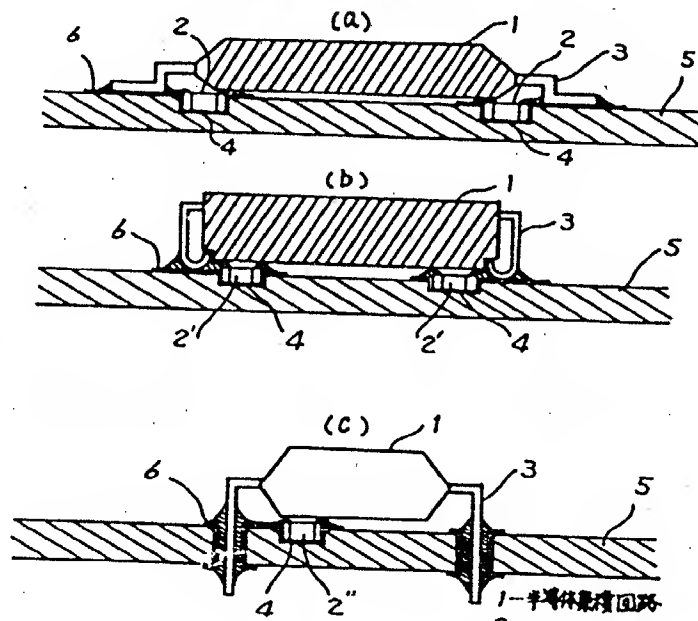
本発明は、以上説明したように部品高を高くせずに高密度実装でき、且つ、チップ部品と半導体集積回路間の回路長を最短にすることが出来るので、チップ部品を終端素子として使用した場合には信号の反射を最小限に押さえ回路の誤動作を防ぎ、デカップリングコンデンサとして使用した場合には、最大のデカップリング効果を得る事が出来る。

4. 図面の簡単な説明

第1図は本発明の一実施例の断面図、第2図、第3図は、従来例を示す説明図である。

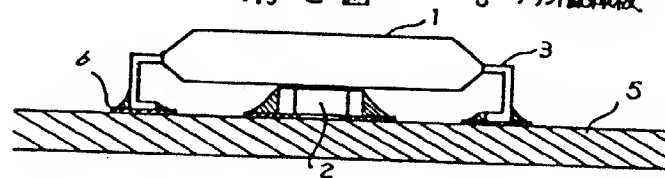
- 1…半導体集積回路、
- 2, 2', 2''…チップ部品
- 3…リード、
- 4…プリント配線板凹部、
- 5…プリント配線板、
- 6…パターン。

第 1 図



- 1-半導体集積回路
- 2-チップ部品
- 3-リード
- 4-プリント配線板凹部
- 5-プリント配線板

第 2 図



第 3 図

